

#2  
JC978 U.S. PTO  
09/998689  
12/03/01

501.40910X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ASUMA, et al.  
Serial No.: Not assigned  
Filed: December 3, 2001, 2001  
Title: DISPLAY DEVICE  
Group: Not assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

December 3, 2001


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Application No.(s) 2000-373171 filed December 7, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Melvin Kraus  
Registration No. 22,466

MK/amr  
Attachment  
(703) 312-6600

日本国特許庁  
JAPAN PATENT OFFICE

JC979 U.S. PTO  
09/998689  
12/03/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年12月 7日

出願番号  
Application Number:

特願2000-373171

出願人  
Applicant(s):

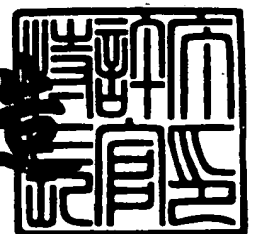
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3079249

【書類名】 特許願

【整理番号】 330000433

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所  
                                 ディスプレイグループ内

    【氏名】 阿須間 宏明

【発明者】

    【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所  
                                 ディスプレイグループ内

    【氏名】 長谷川 篤

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100083552

    【弁理士】

    【氏名又は名称】 秋田 収喜

    【電話番号】 03-3893-6221

【手数料の表示】

    【予納台帳番号】 014579

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x 方向に延在し y 方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y 方向に延在し x 方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、

前記画素領域の集合である表示領域を x 方向に沿った仮想の線を境にして一方の表示領域と他方の表示領域とに区分けられ、

一方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路と他方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路とが別個に形成され、

かつ、一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線とが分離されているとともに、

一方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路と他方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路とが別個に形成されていることを特徴とする液晶表示装置。

【請求項 2】 一方の表示領域側の走査信号駆動回路、映像信号駆動回路、および他方の表示領域側の走査信号駆動回路、映像信号駆動回路をともに駆動させ、あるいは、いずれかの表示領域側の走査信号駆動回路、映像信号駆動回路を駆動させる電源供給の切替手段が備えられていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線との分離箇所は、これらドレイン信号線と絶縁膜を介して配置されるゲート信号線上に位置づけられ、かつ、一方の表示領域側の各ドレイン信

号線の分離された端部と他方の表示領域側の各ドレイン信号線の分離された端部はいずれも該ゲート信号線に重畳されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 一方の表示領域と他方の表示領域の境界側に存在するそれぞれの各領域のゲート信号線から、それぞれそれから遠ざかる方向へ沿って各ゲート信号線に走査信号を供給し、そのタイミングに併せて映像信号駆動回路から映像信号を供給することを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項5】 一方の表示領域と他方の表示領域の境界に遠のく側に存在するそれぞれのゲート信号線から、それぞれそれから前記境界の近づく方向へ沿って各ゲート信号線に走査信号を供給し、そのタイミングに併せて映像信号駆動回路から映像信号を供給することを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項6】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、

前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、

該他の複数の薄膜トランジスタのうち少なくとも一つは絶縁膜を介して固定された電位を有する導電膜で覆われていることを特徴とする液晶表示装置。

【請求項7】 導電膜は画素電極と同一の材料で形成されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】 液晶表示パネルと、この液晶表示パネルの背面に配置されるバックライトとから構成され、

前記液晶表示パネルは、液晶を介して対向配置される各基板のうち一方の基板

の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えたとともに、

前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、

前記バックライトと対向する側の基板に該バックライトからの光が前記ダイナミックメモリへ照射するのを回避する遮光膜が形成されていることを特徴とする液晶表示装置。

【請求項9】 ダイナミックメモリが形成されている基板はバックライトと対向する側の基板であり、前記遮光膜は前記基板を介してダイナミックメモリと対向する部分に形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に液晶表示駆動回路が形成されているアクティブ・マトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される各透明基板のうち一方の透明基板の液晶側の面に、x方向に延在されy方向に並設されるゲート信号線とy方向に延在されx方向に並設されるドレイン信号線とで囲まれた各領域を画素領域としている。

そして、この画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線

からの映像信号が供給される画素電極とが備えられている。

この画素電極は他方の透明基板の液晶側の面に形成された対向電極との間に該映像信号に対応した強さの電界を発生せしめ、液晶の光透過率を制御するようになっている。

また、このような構成の液晶表示装置において、各ゲート信号線および各ドレイン信号線にそれぞれ信号を供給するための走査信号駆動回路および映像信号駆動回路をも一方の透明基板の液晶側の面に形成したものが知られている。これら各回路は、画素領域内の前記薄膜トランジスタと同様の構成からなる多数のMIS (Metal-insulator-semiconductor) 型のトランジスタからなっており、画素の構成と同時に各回路を形成できるからである。

この場合、薄膜トランジスタおよびMIS型トランジスタのそれぞれの半導体層として多結晶シリコン (Poly-Si) が用いられている。

#### 【0003】

##### 【発明が解決しようとする課題】

しかしながら、このような構成からなる液晶表示装置は、たとえば携帯電話の表示装置として用いた場合には、その消費電力が比較的大きいという不都合が指摘されるに至った。

また、映像信号駆動回路にダイナミックメモリを用いており、このダイナミックメモリを構成する薄膜トランジスタにリーク電流が流れるという不都合が指摘されるに至った。

さらに、該ダイナミックメモリは外来光によってその半導体層にフォトンが発生した場合、これによる不都合がたとえば画素領域内に形成される薄膜トランジスタよりも悪影響を及ぼすことが指摘されるに至った。

本発明は、このような事情に基づいてなされたものであり、その目的は、消費電力の小さな液晶表示装置を提供することにある。

また、本発明の他の目的は、映像信号駆動回路内のダイナミックメモリを構成する薄膜トランジスタに発生するリーク電流を抑制できた液晶表示装置を提供することにある。

さらに、本発明の他の目的は、映像信号駆動回路内のダイナミックメモリを正

常に動作させる液晶表示装置を提供することにある。

【0004】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0005】

手段1.

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、

前記画素領域の集合である表示領域をx方向に沿った仮想の線を境にして一方の表示領域と他方の表示領域とに区分けられ、

一方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路と他方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路とが別個に形成され、

かつ、一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線とが分離されているとともに、

一方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路と他方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路とが別個に形成されていることを特徴とするものである。

このように構成された液晶表示装置は、一方の表示領域と他方の表示領域を一つの表示領域として用いることもできるが、いずれか一の表示領域のみを表示させることができるようになる。

このため、表示しない表示領域に走査信号を供給しなくても済むことから消費電力の低減が図れるようになる。



## 【 0 0 0 6 】

## 手段 2.

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x 方向に延在し y 方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y 方向に延在し x 方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えるとともに、

前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、

該他の複数の薄膜トランジスタのうち少なくとも一つは絶縁膜を介して固定された電位を有する導電膜で覆われていることを特徴とするものである。

このように構成された液晶表示装置は、そのダイナミックメモリを構成する薄膜トランジスタにおいて、その容量を大きくすることができることから、リーク電流の発生を抑制することができる。

## 【 0 0 0 7 】

## 手段 3.

液晶表示パネルと、この液晶表示パネルの背面に配置されるバックライトとから構成され、

前記液晶表示パネルは、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x 方向に延在し y 方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y 方向に延在し x 方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えるとともに、

前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の

の薄膜トランジスタからなるダイナミックメモリを備え、

前記バックライトと対向する側の基板に該バックライトからの光が前記ダイナミックメモリへ照射するのを回避する遮光膜が形成されていることを特徴とするものである。

このように構成された液晶表示装置は、ダイナミックメモリを構成する薄膜トランジスタへの外来光の照射を遮蔽できることから、該ダイナミックメモリを正常に動作させる

【0008】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

#### 《全体の構成》

図1は、本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図であるが、実際の幾何学的配置と対応づけて描いている。

同図において、まず、透明基板SUB1がある。この透明基板SUB1は透明基板SUB2（図示せず）と液晶を介して対向配置され、この透明基板SUB2は少なくとも液晶表示部ARを被ってその周辺に形成されるシール剤SL（図9参照）によって透明基板SUB1に固定されている。

【0009】

透明基板SUB1の液晶側の面には、図中x方向に延在しy方向に並設されるゲート信号線GLと、これらゲート信号線GLと絶縁されてy方向に延在しx方向に並設されるドレイン信号線DLとが形成されている。

各ゲート信号線GLと各ドレイン信号線DLとで囲まれた矩形上の各領域は画素領域を構成するようになり、これによりマトリクス状に配置された各画素領域の集合によって液晶表示部ARが形成されるようになっている。

【0010】

ここで、この実施例では、各ドレイン信号線DLは液晶表示部ARの中央において分割されて形成されている。すなわち、最上段である1段からi段までの各ゲート信号線GLとで形成される各画素領域（以下、前段表示部ARfと称する場合がある）と、(i-1)段から最下段であるn段までの各ゲート信号線GL

とで形成される各画素領域（以下、前段表示部 A R b と称する場合がある）とが観念上分割され、前段表示部 A R f を担当するドレイン信号線 D L と後段表示部 A R b を担当するドレイン信号線 D L とが電氣的に分離して形成されている。

この場合、i の値は液晶表示装置の用途によって異なり、液晶表示部 A R の中央（図中 y 方向の中央）に対して上段側であってもよく、また、下段側であってもよい。

#### 【 0 0 1 1 】

そして、前段表示部 A R f における各ゲート信号線 G L の一端側（図中右側）は、走査信号駆動回路である画素駆動用シフトレジスタ 1 f に接続され、この画素駆動用シフトレジスタ 1 f はこの液晶表示装置の外部から供給されるスタートパルスクロック信号によって駆動されるようになっている。

また、後段表示部 A R b における各ゲート信号線 G L の一端側（図中右側）は、前記画素駆動用シフトレジスタ 1 f と別個の画素駆動用シフトレジスタ 1 b に接続され、この画素駆動用シフトレジスタ 1 b も前記スタートパルスクロック信号によって駆動されるようになっている。

#### 【 0 0 1 2 】

さらに、前段表示部 A R f における各ドレイン信号線 D L の一端側（図中上側）は、映像信号駆動回路に接続され、この映像信号駆動回路は、ドレイン信号線 D L 側から順次並設される D - A 変換回路 2 f、メモリ 3 f、入力データ取り込み（出力）回路 4 f、H 側アドレスデコーダ 5 f と、前記メモリ 3 f に接続される V 側アドレスデコーダ 6 f、メモリ駆動用シフトレジスタ 7 f とで構成されている。

#### 【 0 0 1 3 】

H 側アドレスデコーダ 5 f、入力データ取り込み（出力）回路 4 f、および V 側アドレスデコーダ 6 f には、それぞれこの液晶表示装置の外部から供給される画素アドレス（H）、画素データ、および画素アドレス（V）が入力されるようになっている。

さらに、メモリ駆動用シフトレジスタ 7 f は前記スタートパルスクロック信号の入力によって駆動されるようになっている。

なお、このような映像信号駆動回路のさらなる詳細な回路は図 2 に示されている。

【 0 0 1 4 】

また、後段表示部 A R b における各ドレイン信号線 D L の一端側（図中下側）は、前記映像信号駆動回路と別個の映像信号駆動回路に接続され、この映像信号駆動回路は、前記映像信号駆動回路と同様に、ドレイン信号線 D L 側から順次並設される D - A 変換回路 2 b、メモリ 3 b、入力データ取り込み（出力）回路 4 b、H 側アドレスデコーダ 5 b と、前記メモリ 3 b に接続される V 側アドレスデコーダ 6 b、メモリ駆動用シフトレジスタ 7 b とから構成されている。

【 0 0 1 5 】

H 側アドレスデコーダ 5 b、入力データ取り込み（出力）回路 4 b、V 側アドレスデコーダ 6 b には、それぞれこの液晶表示装置の外部から供給される前記画素アドレス（H）、画素データ、画素アドレス（V）が入力されるようになっている。

さらに、メモリ駆動用シフトレジスタ 7 b は前記スタートパルスクロック信号の入力によって駆動されるようになっている。

【 0 0 1 6 】

そして、走査信号駆動回路および映像信号駆動回路のそれぞれには、この液晶表示装置の外部から電源供給制御回路 9 を介して電源が供給され、前段表示部 A R f 側の走査信号駆動回路および映像信号駆動回路には電力供給スイッチ 1 0 f を介して電源が供給され、後段表示部 A R b 側の走査信号駆動回路および映像信号駆動回路には電力供給スイッチ 1 0 b を介して電源が供給されるようになっている。

【 0 0 1 7 】

このように構成された液晶表示装置は、液晶表示部 A R において、その全域にわたって表示できることはもちろんのこと、前段表示部 A R f のみに表示したり、また、後段表示部 A R b のみに表示したりできるようになっている。

【 0 0 1 8 】

このことから、たとえば携帯電話における液晶表示装置として利用する場合に

、前段表示部 A R f に日時、時刻、アンテナ感度等の情報（パネル一部表示で充分な情報）を映像させ、後段表示部 A R b を駆動させないようにすることができる。

このため、後段表示部 A R b の各ゲート信号線 G L に電力を供給しない構成とでき、低消費電力化の向上に有効となる。

【 0 0 1 9 】

#### 《画素の構成》

図 3 は、画素の一実施例を示す平面図である。同図は特にドレイン信号線 D L の分離個所における画素を示し、該ドレイン信号線 D L と交差するゲート信号線 G L に対して上側の画素の一部と下側の画素の一部を示している。なお、図 3 の IV-IV 線における断面図を図 4 に示している。

【 0 0 2 0 】

図 3 において、まず、透明基板 S U B 1 の上面に薄膜トランジスタ T F T の形成領域に p o l y - S i からなる半導体層 A S が形成されている。

そして、この半導体層 A S をも被って透明基板 S U B 1 の表面にたとえば S i O<sub>2</sub> からなる第 1 の絶縁膜 G I が形成されている。

【 0 0 2 1 】

この第 1 の絶縁膜 G I は薄膜トランジスタ T F T の形成領域にあってはそのゲート絶縁膜として、また、後述の容量素子 C s t g の形成領域にあってはその誘電体膜として機能する。

絶縁膜 G I の表面には図中 x 方向に延在するようにしてゲート信号線 G L が形成されている。このゲート信号線 G L はその一部が画素領域内に延在されて前記半導体層 A S を股がるようにして形成され、これにより薄膜トランジスタ T F T のゲート電極 G T が形成されている。

【 0 0 2 2 】

また、ゲート信号線 G L の形成の際に同時にストレージ線 S L が形成され、このストレージ線 S L は該ゲート信号線 G L とほぼ平行に配置されるとともに、該ゲート信号線 G L との間に比較的面積の大きな延在部が形成されている。

ストレージ線 S L の前記延在部は容量素子 C s t g の電極の一つを構成するよ

うなっている。

そして、ゲート信号線GLおよびストレージ線SLをも被って透明基板SUB 1の表面には、たとえばSiO<sub>2</sub>からなる第2の絶縁膜INが形成されている。

#### 【0023】

この第2の絶縁膜INはゲート信号線GLに対する後述のドレイン信号線DLの層間絶縁膜としての機能を、また、容量素子Cstgの形成領域にあってはその誘電体膜として機能する。

また、この第2の絶縁膜INはその下層の第1の絶縁膜GIにまで貫通するコンタクト孔CH1、CH2が形成され、それぞれ薄膜トランジスタTFTのドレイン領域、ソース領域の一部が露出されるようになっている。

そして、この第2の絶縁膜INの上面は、図中y方向に延在するドレイン信号線DLが形成され、また、このドレイン信号線DLと同時に形成されるソース電極SD2とが形成されている。

#### 【0024】

ドレイン信号線DLは前記コンタクト孔CH1上を走行するようにして形成され、これにより、このコンタクト孔CH1部のドレイン信号線DLは薄膜トランジスタTFTのドレイン電極SD1を兼ねた構成となっている。

また、このドレイン信号線DLは、ゲート信号線GL上で分離され、一方の側のドレイン信号線DLの分離端部と他方の側のドレイン信号線DLの分離端部はいずれも該ゲート信号線GLに重畳されている。

このようにした理由は、外来光（バックライト等の）による光漏れをゲート信号線GLによって防止した構成となっている。換言すれば、ドレイン信号線DLの切断部をゲート信号線GLで遮光した構成となっている。

#### 【0025】

さらに、ソース電極SD2は前記コンタクト孔CH2を被うようにして形成されているとともに、一部のストレージ線SLおよびその延在部と重ね合わされるようにして形成される延在部を備えている。

このソース電極SD2の延在部は容量素子Cstgの一つの電極をするようになっている。

## 【 0 0 2 6 】

そして、ドレイン信号線DLおよびソース電極SD2をも被って透明基板SUBの表面にはたとえばSiO<sub>2</sub>からなる第3の絶縁膜PSVが形成されている。この第3の絶縁膜PSVは薄膜トランジスタTFTへの液晶の直接の接触を回避する保護膜としての機能を有する。

また、この第3の絶縁膜PSVには、ソース電極SD2の延在部の一部を露出させるためのコンタクト孔CH3が形成されている。

そして、この第3の絶縁膜PSVの上面には、コンタクト孔CH3をも被ってたとえばITO (Indium-Tin-Oxide) からなる画素電極PXが形成されている。

## 【 0 0 2 7 】

## 《メモリの構成》

図5は、図1に示す前記メモリの1bitに相当する部分の平面図である。また、図6は図5のVI-VI線における断面図である。

また、この部分におけるメモリはいわゆるダイナミックメモリと称されるもので、その等価回路は図7に示している。図5に示す構成はその幾何学的配置において図7とほぼ対応している。

図5に示すメモリの形成は前記画素の形成と並行してなされるようになっている。

## 【 0 0 2 8 】

図5に示すように、まず、透明基板SUB1の表面には、poly-Siからなる半導体層AS<sub>1</sub>と半導体層AS<sub>2</sub>が形成されている。このうち半導体層AS<sub>1</sub>は薄膜トランジスタTFT<sub>1</sub>を構成するための半導体層となり、半導体層AS<sub>2</sub>は薄膜トランジスタTFT<sub>2</sub>および薄膜トランジスタTFT<sub>3</sub>を構成するための半導体層となる。これら半導体層AS<sub>1</sub>、AS<sub>2</sub>は液晶表示部ARにおける薄膜トランジスタTFTの半導体層ASの形成と同時に形成されるようになっている。

## 【 0 0 2 9 】

そして、この半導体層AS<sub>1</sub>、AS<sub>2</sub>をも被って透明基板SUBの上面にはSiO<sub>2</sub>からなる第1の絶縁膜GIが形成されている。この第1の絶縁膜GIは薄膜トランジスタTFT<sub>1</sub>ないしTFT<sub>3</sub>のゲート絶縁膜としての機能を有する。

## 【 0 0 3 0 】

この第1の絶縁膜G1の上面には、図中x方向に延在するゲート配線層G1とリフレッシュ配線層R1とが形成されている。これらゲート配線層G1、リフレッシュ配線層R1は液晶表示部ARにおけるゲート信号線GLの形成の際に同時に形成されるようになっている。

## 【 0 0 3 1 】

この場合、ゲート配線層G1は前記半導体層AS<sub>1</sub>の一部を横切るようにして形成されて薄膜トランジスタTFT<sub>1</sub>のゲート電極を構成し、リフレッシュ配線層R1は前記半導体層AS<sub>2</sub>の一部を横切るようにして形成されて薄膜トランジスタTFT<sub>3</sub>のゲート電極を構成するようになっている。

これらゲート配線層G1およびリフレッシュ配線層R1をも被って透明基板SUBの上面にはSiO<sub>2</sub>からなる第2の絶縁膜INが形成されている。

## 【 0 0 3 2 】

この第2の絶縁膜INはゲート配線層G1およびリフレッシュ配線層R1の後述のドレイン配線層D1に対する層間絶縁膜としての機能を有する。

また、第2の絶縁膜INは薄膜トランジスタTFT<sub>1</sub>のドレイン領域およびソース領域、薄膜トランジスタTFT<sub>2</sub>のソース領域、薄膜トランジスタTFT<sub>3</sub>のドレイン領域およびソース領域、リフレッシュ配線層R1の一部さらにゲート電極GT3の一部を露出させるコンタクト孔CH4、CH5、CH6、CH7、CH8、CH9が形成されている。

## 【 0 0 3 3 】

第2の絶縁膜INの上面には、図中y方向に延在するドレイン配線層D1が形成され、このドレイン配線層D1は薄膜トランジスタTFT<sub>1</sub>のドレイン領域、薄膜トランジスタTFT<sub>3</sub>のドレイン領域と接続されている。このドレイン配線層D1は液晶表示部ARにおけるドレイン信号線DLの形成の際に同時に形成されるようになっている。

## 【 0 0 3 4 】

また、この際に、ゲート配線層G1と同時に形成されるゲート電極GT3が薄膜トランジスタTFT<sub>2</sub>の半導体層AS<sub>2</sub>を横切るようにして形成され、このゲート電極GT3は液晶表示部ARにおけるゲート信号線GLの形成の際に同時に形成されるようになっている。



ト電極GT3は薄膜トランジスタTFT<sub>1</sub>のソース領域と接続されている。また、やはり、ドレイン配線層D1と同時に形成される導電層C1が薄膜トランジスタTFT<sub>2</sub>のソース領域とリフレッシュ配線層R1との接続を図るようにして形成されている。

## 【0035】

ドレイン配線層D1、ゲート電極GT3、導電層C1をも被って透明基板SUBの上面はSiO<sub>2</sub>からなる第3の絶縁膜PSVが形成されている。この第3の絶縁膜は薄膜トランジスタTFT<sub>1</sub>ないしTFT<sub>3</sub>を保護するための保護膜としての機能を有する。

## 【0036】

そして、この第3の絶縁膜PSVの上面には、ITO (Indium-Tin-Oxide) 膜からなる導電層CLが形成されている。この導電層CLは液晶表示部ARにおける画素電極PXの形成の際に同時に形成されるようになっている。

## 【0037】

この導電層CLは、この実施例では薄膜トランジスタTFT<sub>2</sub>のゲート領域を被うようにして形成されている。しかし、これに限定されることはなく、他の薄膜トランジスタTFT<sub>1</sub>、TFT<sub>3</sub>の各ゲート領域を被うようにして形成されていてもよい。

なお、この導電層CLはグランド (ground) あるいは電源等のように固定された電位に保持されるようになっている。

## 【0038】

このように、構成されたメモリは、その蓄積容量を増大させることができ、各薄膜トランジスタTFT<sub>1</sub>ないしTFT<sub>3</sub>に生じるリーク電流に対し、メモリ保持の時間マージンがとれる効果を奏するようになる。

## 【0039】

## 《メモリの動作説明》

図8(a)は、上記ダイナミックメモリの動作を示す図で、(1) データ線 (ドレイン配線層) をグランド (GND) にリセット、(2) データのリード動作、(3) データの再書込み、(4) 新しいデータの書込みをそれぞれ電流の流れ

等によって示している。

また、図 8 (b) は、各信号のタイミングチャートを示している。

#### 【 0 0 4 0 】

##### 《液晶表示パネル》

図 9 は、透明基板 SUB 1 と液晶 LC を介して対向配置される透明基板 SUB 2 を外囲器とする液晶表示パネル PNL と、この液晶表示パネルの背面（観察者に対して）に配置されるバックライト BL との配置関係を示した図である。

透明基板 SUB 1 の液晶側と反対側の面には偏光膜 POL 2 が形成され、透明基板 SUB 2 の液晶側と反対側の面には偏光膜 POL 1 が形成され、透明基板 SUB 1 に対する透明基板 SUB 2 の固定は液晶を封止する機能を兼ね備えるシール剤 SL によってなされている。

#### 【 0 0 4 1 】

バックライト BL からの光は、液晶表示パネル PNL の液晶表示部 AR における各画素の光透過率が制御された液晶 LC を通して観察者へ照射されるようになっている。

そして、この場合、透明基板 SUB 1 のバックライト BL 側の面において遮光膜 BT が形成され、この遮光膜 BT は少なくとも図 1 に示した H 側アドレスデコーダ、入力データ取り込み（出力）回路、メモリのそれぞれにバックライト BL からの光が照射されるのを防止している。

しかし、この遮光膜 BT は液晶表示部 AR（画素の集合からなる領域）のみを開口させるようにして、その周辺の全域に形成するようにしてもよいことはいふまでもない。

#### 【 0 0 4 2 】

このように構成した液晶表示パネル PNL は、ダイナミックメモリを構成する各薄膜トランジスタ TFT<sub>1</sub>ないし TFT<sub>3</sub>にバックライト BL からの光の照射が防止されることから、その誤動作の発生を回避できる効果を奏するようになる。ダイナミックメモリの場合、光の照射による半導体中に発生するフォトンに起因する悪影響は極めて大きいからである。

#### 【 0 0 4 3 】

なお、この実施例では、バックライト B L と対向する透明基板 S U B 1 の液晶側の面においてダイナミックメモリ等の回路が形成されたものである。しかし、これらの回路は他方の透明基板 S U B 2 側に形成されたものであってもよいことはいうまでもない。

この場合にあっても、該ダイナミックメモリへの外来光の照射を防止できるからである。

なお、遮光膜 B T としては、たとえば黒色のビニール等であってもよい。

#### 【 0 0 4 4 】

##### 《液晶表示パネルの駆動方法》

図 1 0 は、液晶表示パネル P N L の駆動方法、特に、画素駆動用シフトレジスタ 1 f、1 b の駆動方法およびそれにもなう映像信号駆動回路からの映像信号の送出の方法を示した図である。

上述したように、本実施例による液晶表示装置は、その液晶表示部 A R が前段表示部 A R f と後段表示部 A R b に区分けされ、それぞれ別個の画素駆動用シフトレジスタ 1 f、1 b によってゲート信号線 G L に走査信号を供給している。

そして、その駆動の一実施例として、前段表示部 A R f と後段表示部 A R b の境界側に存在する前段表示部 A R f 側のゲート信号線 G L と後段表示部 A R b 側のゲート信号線 G L とから、それぞれそれから遠ざかる方向へ沿って各ゲート信号線 G L に走査信号を供給している。

#### 【 0 0 4 5 】

また、他の実施例として、これとは逆に、前段表示部 A R f と後段表示部 A R b の境界に遠のく側に存在する前段表示部 A R f 側のゲート信号線 G L と後段表示部 A R b 側のゲート信号線 G L とから、それぞれそれから前記境界の近づく方向へ沿って各ゲート信号線 G L に走査信号を供給するようにしてもよい。

このように構成した場合、前段表示部 A R f と後段表示部 A R b の境界における表示を極めて自然にすることができる効果を奏する。すなわち、前段表示部 A R f の前記境界側の画素と後段表示部 A R b の該境界側の画素とにおいて、それらの駆動の時間差が少なく、たとえば一方の画素においてリークが大きくなっているというような不都合が生じることがなくなるからである。

【 0 0 4 6 】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、消費電力の小さなものを得ることができる。

また、映像信号駆動回路内のダイナミックメモリを構成する薄膜トランジスタに発生するリーク電流を抑制できる。

さらに、映像信号駆動回路内のダイナミックメモリを正常に動作させることができる。

【図面の簡単な説明】

【図 1】

本発明による液晶表示装置の一実施例を示す全体等価回路図である。

【図 2】

本発明による液晶表示装置の映像信号駆動回路の一実施例を示す等価回路図である。

【図 3】

本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 4】

図 3 の IV - IV 線における断面図である。

【図 5】

本発明による液晶表示装置のダイナミックメモリ ( 1 b i t ) の一実施例を示す平面図である。

【図 6】

図 5 の VI - VI 線における断面図である。

【図 7】

本発明による液晶表示装置のダイナミックメモリの一実施例を示す等価回路図である。

【図 8】

本発明による液晶表示装置のダイナミックメモリの動作説明図である。

【図 9】

本発明による液晶表示パネルの一実施例を示す断面図である。

【図 1 0】

本発明による液晶表示駆動方法の一実施例を示す説明図である。

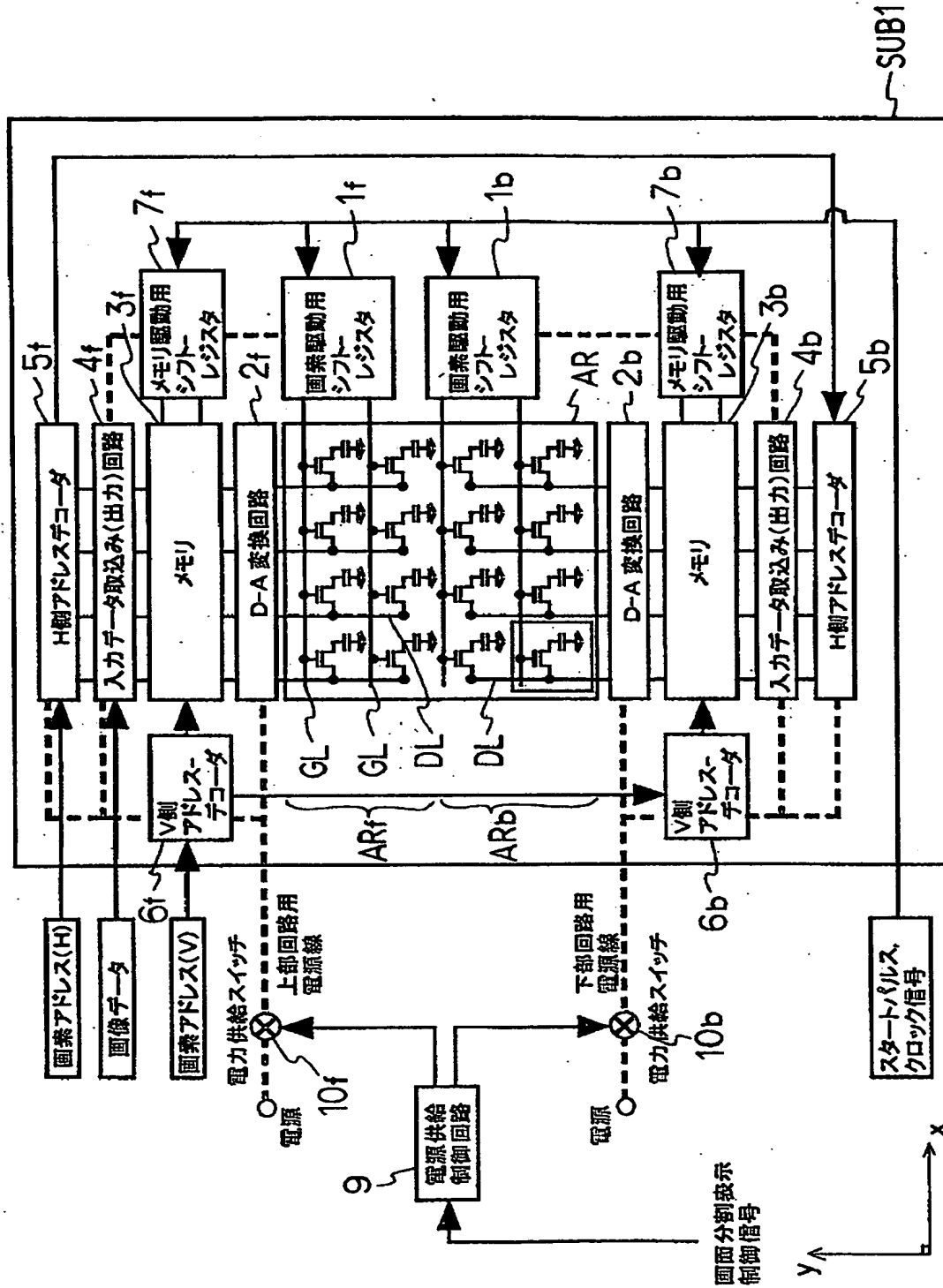
【符号の説明】

SUB…基板、GL…ゲート信号線、DL…ドレイン信号線、TFT…薄膜トランジスタ、PX…画素電極、AR…液晶表示部、ARf…前段表示部、ARb…後段表示部、CL…導電膜、BT…遮光膜。

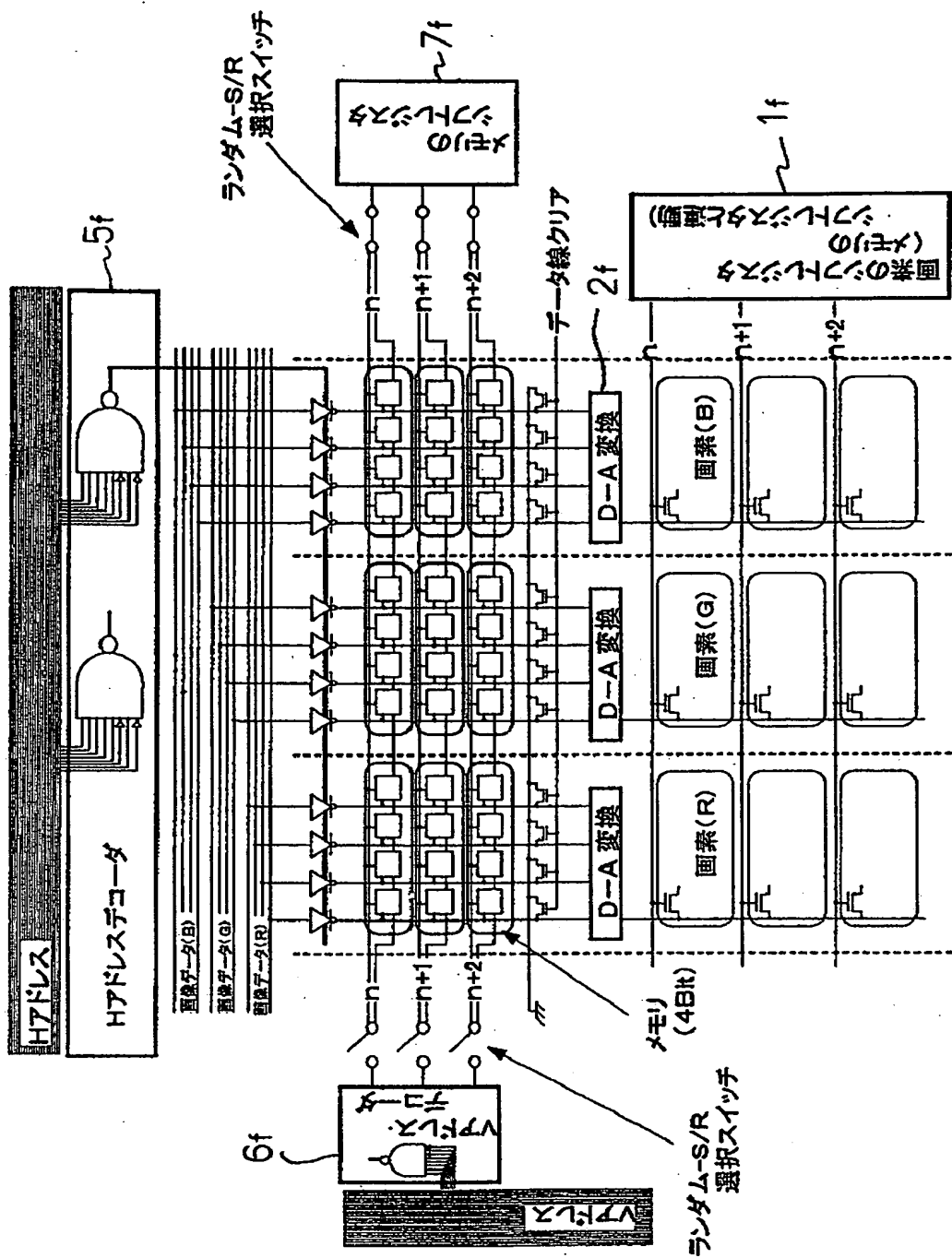
【書類名】 図面

【図 1】

図 1

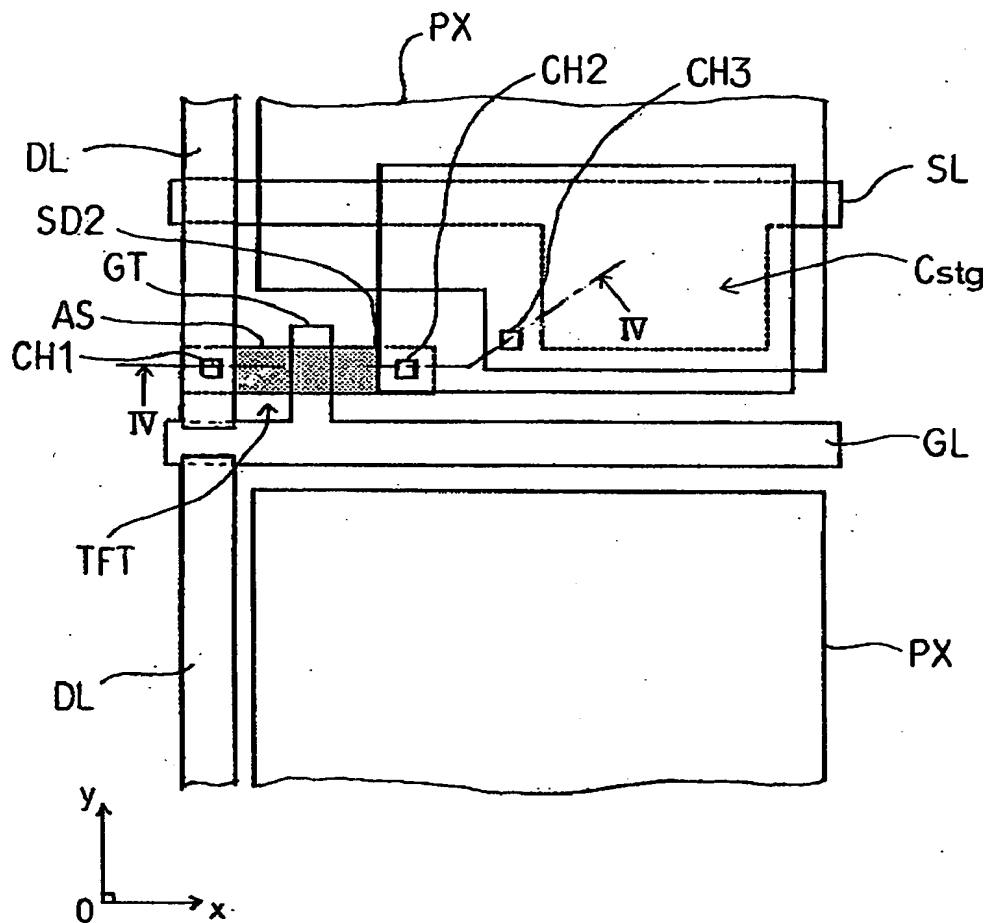


【図 2】



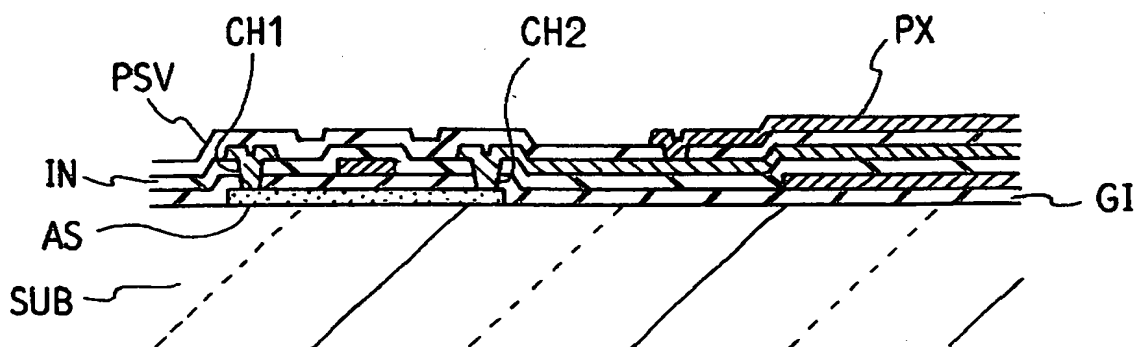
【図 3】

図 3



【図 4】

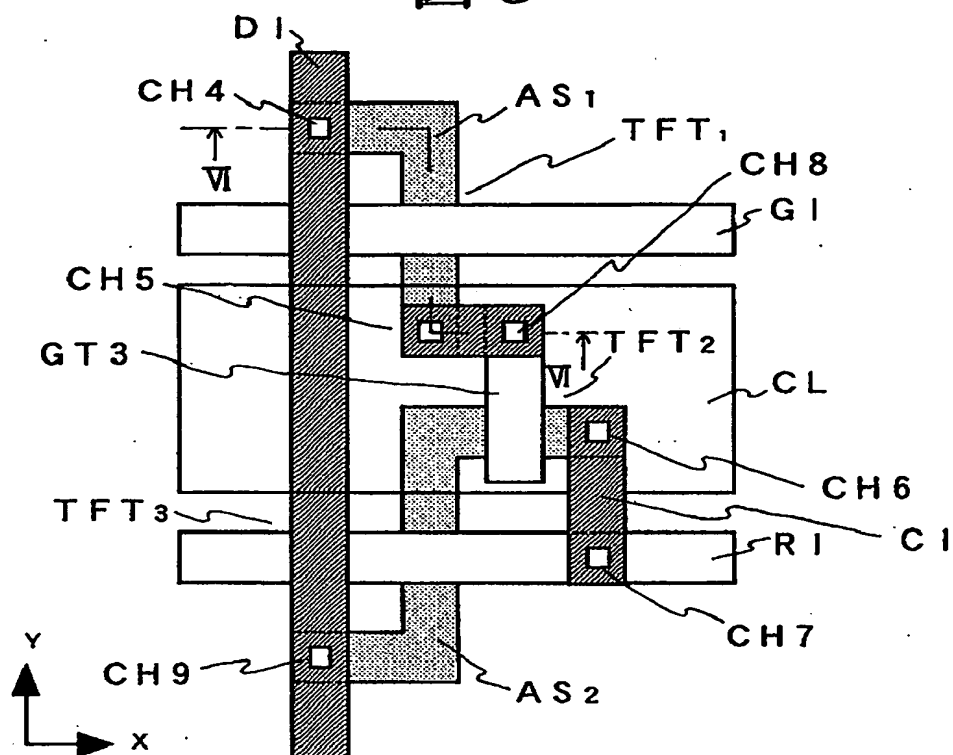
図 4





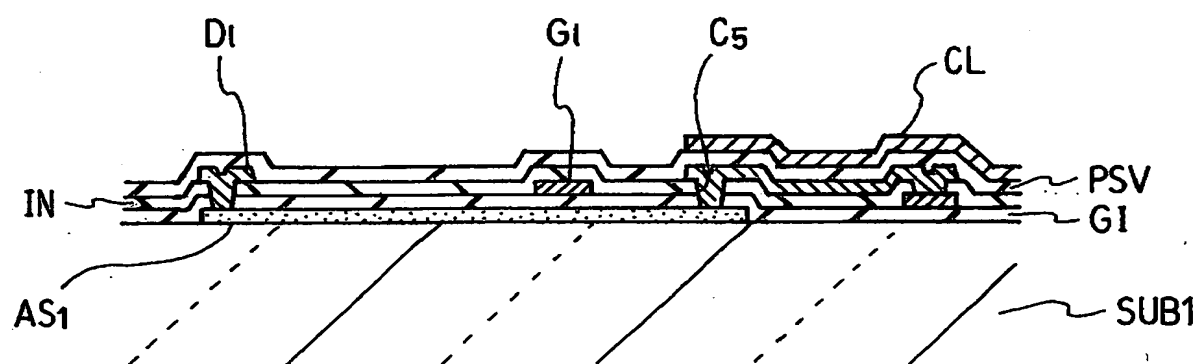
【図 5】

图 5



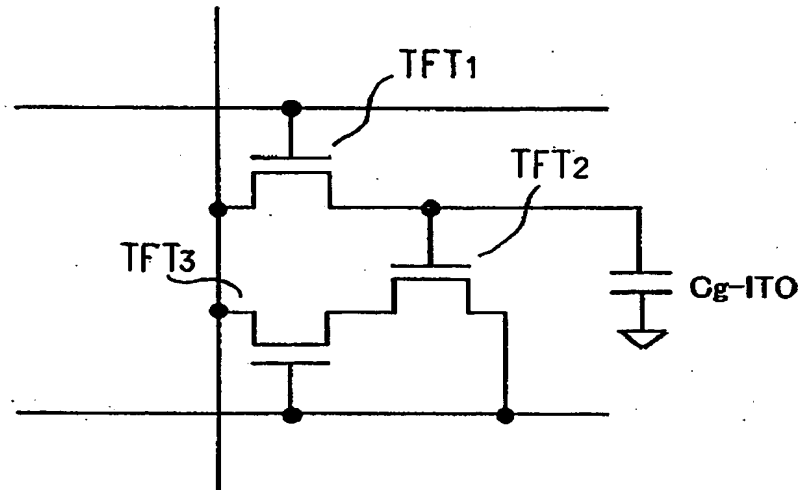
【図 6】

図 6



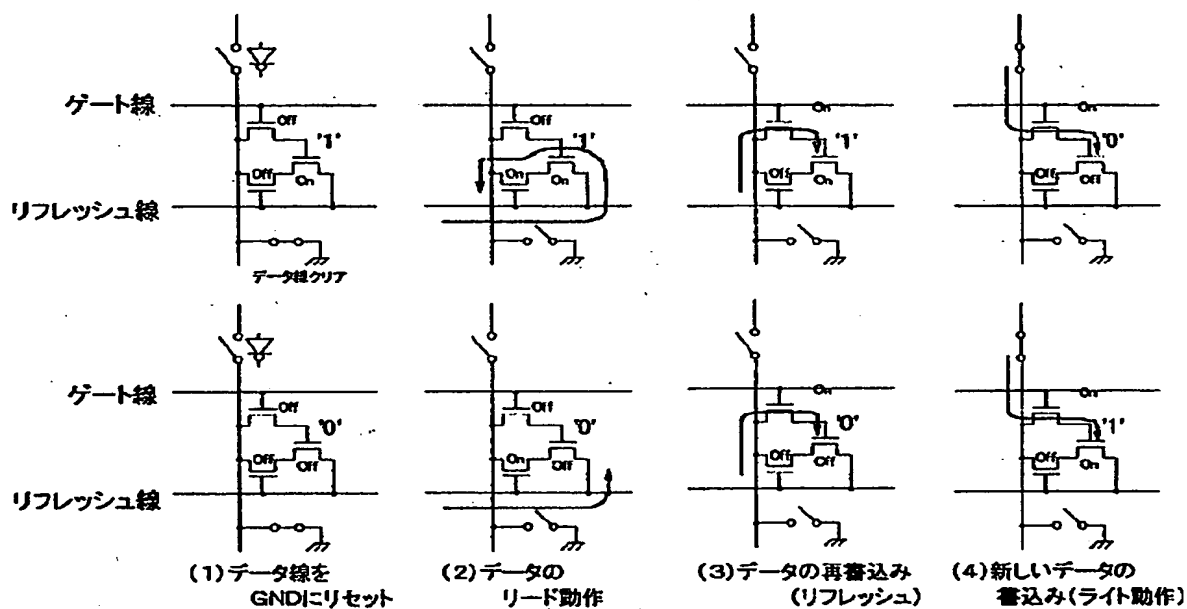
【図7】

図 7

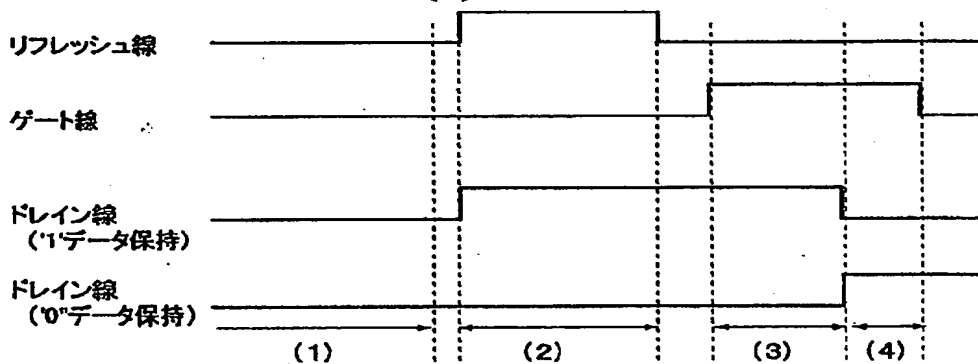


【図 8】

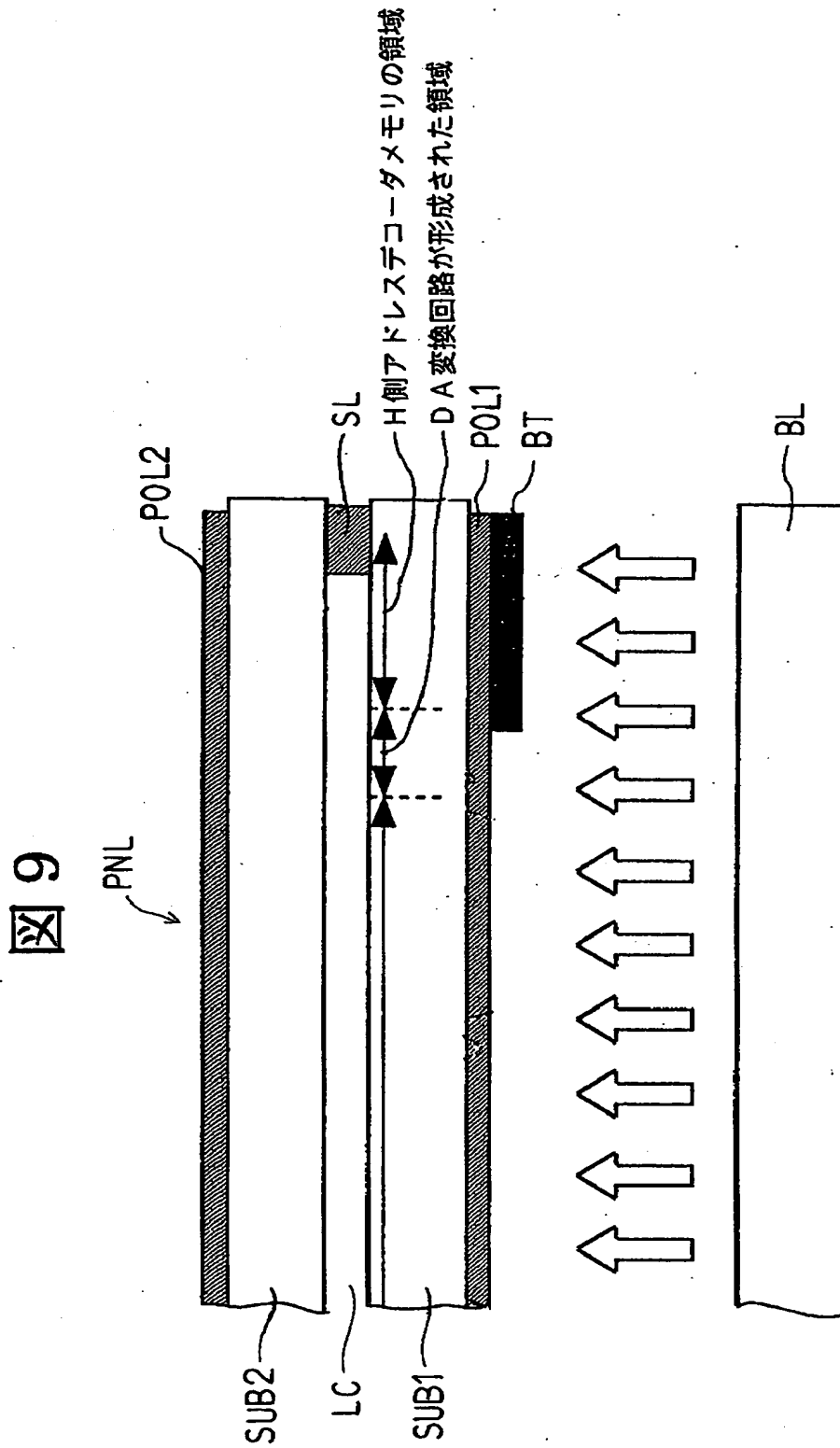
図 8  
(a)



(b)

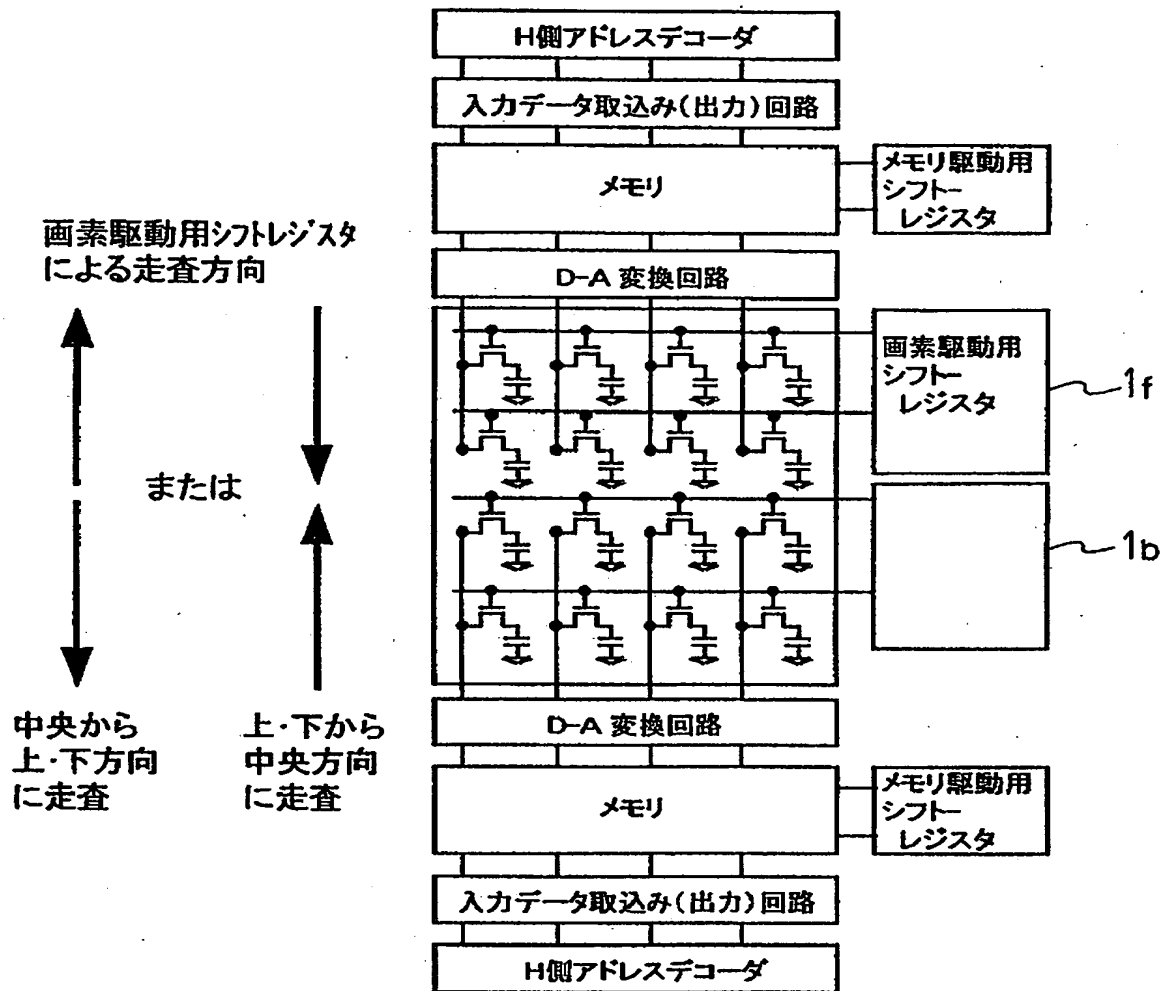


【図9】



【図10】

図 10



【書類名】 要約書

【要約】

【課題】 消費電力の小さなものを得る。

【解決手段】 前記画素領域の集合である表示領域を x 方向に沿った仮想の線を境にして一方の表示領域と他方の表示領域とに区分けられ、一方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路と他方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路とが別個に形成され、かつ、一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線とが分離されているとともに、一方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路と他方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路とが別個に形成されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-373171
受付番号	50001581074
書類名	特許願
担当官	第二担当上席 0091
作成日	平成12年12月 8日

<認定情報・付加情報>

【提出日】	平成12年12月 7日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所